

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ЛЬВІВСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ імені ІВАНА ФРАНКА

Кафедра (циклова комісія)
радіофізики та комп'ютерних технологій

“ЗАТВЕРДЖУЮ”

Декан факультету _____
доц. Юрій ФУРГАЛА
“ ” 2022 року

РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

АПАРАТНЕ ЗАБЕЗПЕЧЕННЯ ВБУДОВАНИХ СИСТЕМ

(шифр і назва навчальної дисципліни)

спеціальність 121 – Інженерія програмного забезпечення

(шифр і назва спеціальності)

спеціалізація _____

(назва спеціалізації)

факультет електроніки та комп'ютерних технологій

(назва інституту, факультету, відділення)

2022 – 2023 навчальний рік

Робоча програма “Апаратне забезпечення вбудованих системи” для студентів
(назва навчальної дисципліни)

галузі знань “12 – Інформаційні технології”

за спеціальністю “121 Інженерія програмного забезпечення”

Розробники: Василь РАБИК (кандидат технічних наук, доцент,
доцент кафедри радіофізики та комп’ютерних технологій)
(вказати авторів, їхні посади, наукові ступені та вчені звання)

Робочу програму схвалено на засіданні кафедри (циклової комісії)
радіофізики та комп’ютерних технологій

Протокол від “ 30 ” 08 2022 року № 2/22

Завідувач кафедри радіофізики та комп’ютерних технологій

 (Іван КАРБОВНИК)
(підпис) (прізвище та ініціали)

Ухвалено Вченою радою факультету електроніки та комп’ютерних технологій

Протокол від “ 31 ” 08 2022 року № 28/22

© Рабик В., 2022 рік

© ЛНУ ім. І. Франка, 2022 рік

1. Опис навчальної дисципліни

Найменування показників	Галузь знань, освітньо-кваліфікаційний рівень	Характеристика навчальної дисципліни	
		денна форма навчання	заочна форма навчання
Кількість кредитів 4	Галузь знань <u>12 Інформаційні технології</u> (шифр і назва)	Вибіркова (за вибором)	
Модулів – <i>немає</i>	Спеціальність: <u>121 Інженерія програмного забезпечення</u>	Рік підготовки	
Змістових модулів – 3		4-й	
Індивідуальне науково-дослідне завдання <u>немає</u> (назва)		Семестр	
Загальна кількість годин – 120		7-й	
Тижневих годин для денної форми навчання: аудиторних – 4 самостійної роботи студента – 3,5	Освітній ступінь <u>бакалавр</u>	Лекції	
		32 год.	
		Практичні, семінарські	
		<i>немає</i>	
		Лабораторні	
		32 год.	
		Самостійна робота	
		56 год.	
		Індивідуальні завдання:	
<i>немає</i>			
Вид контролю:			
<i>залік</i>			

Примітка.

Співвідношення кількості годин аудиторних занять до самостійної і індивідуальної роботи становить

для денної форми навчання – 1.14

для заочної форми навчання – немає

2. Мета та завдання навчальної дисципліни

Мета: надати студентам основні поняття з побудови, архітектури, функціонування вбудованих систем, архітектури програмованих логічних інтегральних схем FPGA, з реалізації на основі ПЛІС основних компонентів вбудованих систем з використанням середовища розробки Quartus II.

Цілі: ознайомити студентів з методами і засобами проектування компонентів вбудованих систем, привити навички використання теоретичних знань для

розв'язання практичних задач по розробці основних компонентів вбудованих систем на сучасній елементній базі – ПЛІС.

У результаті вивчення навчальної дисципліни студент повинен

знати: загальні поняття про програмовану логіку та її архітектуру; архітектуру FPGA сімейства Cyclone V; особливості використання сучасних обчислювальних архітектур на базі ПЛІС FPGA для реалізації компонент вбудованих систем; середовище розробки Quartus II, вер. 13.1 для програмування і розробки під ПЛІС; інтерфейси взаємодії ПЛІС FPGA з елементами вбудованих систем.

вміти: створювати проекти в середовищі розробки Quartus II, вер. 13.1; проектувати цифрові системи на основі ПЛІС FPGA; тестувати пристрої, реалізовані на основі ПЛІС FPGA.

Після вивчення даного курсу «Апаратне забезпечення вбудованих систем» здобувачі набудуть таких Загальних та Фахових компетентностей та Програмних результатів навчання:

ЗК1. Здатність до абстрактного мислення, аналізу та синтезу.

ЗК2. Здатність застосовувати знання у практичних ситуаціях.

ЗК5. Здатність вчитися і оволодівати сучасними знаннями.

ЗК6. Здатність до пошуку, оброблення та аналізу інформації з різних джерел.

ЗК7. Здатність працювати в команді.

ФК17. Здатність брати участь у проектуванні програмного забезпечення, включаючи проведення моделювання (формальний опис) його структури, поведінки та процесів функціонування.

ФК23. Здатність застосовувати фундаментальні і міждисциплінарні знання для успішного розв'язання завдань інженерії програмного забезпечення.

ФК29. Здатність до алгоритмічного та логічного мислення.

ПРН10. Проводити передпроектне обстеження предметної області, системний аналіз об'єкта проектування.

ПРН12. Застосовувати на практиці ефективні підходи щодо проектування програмного забезпечення.

ПРН18. Знати та вміти застосовувати інформаційні технології обробки, зберігання та передачі даних.

3. Програма навчальної дисципліни

Змістовий модуль 1. Класифікація і архітектура ПЛІС. Середовище розробки IDE Quartus II.

Тема 1. *Вступ у вбудовані системи.*

Визначення вбудованих систем та їх характеристики, базова структура вбудованої системи, типи вбудованих систем та їх застосування.

Тема 2. *Інтегрована оболонка IDE Quartus II вер. 13.1. Створення проекту в середовищі Quartus II.*

Основні етапи створення проекту в IDE Quartus II. Графічний інтерфейс користувача. Сумісність з іншими САПР. Редактори пакету Quartus II – графічний, символний, текстовий.

Тема 3. *Моделювання проекту в середовищі IDE Quartus II вер. 13.1.*

Створення *.vwf файлу, формування сигналів для моделювання, запуск програми моделювання, аналіз результатів.

Тема 4. *Класифікація і архітектура ПЛІС. Програмована матрична логіка, програмовані логічні матриці, базові матричні кристали.*

Класифікація ПЛІС. Архітектура програмованих логічних матриць, програмованої матричної логіки, базових матричних кристалів.

Тема 5. *Архітектура ПЛІС CPLD, FPGA. ПЛІС FPGA сімейства Cyclone V.*

Архітектура, параметри ПЛІС CPLD, FPGA. Структура, параметри FPGA сімейства Cyclone V.

Змістовий модуль 2. Основи мови VHDL.

Тема 6. *Основні концепції мови VHDL. Структура проекту мовою VHDL.*

Структура проекту мовою VHDL. Декларація бібліотек, інтерфейс об'єкту проекту. Типи даних. Літерали. Масиви і записи.

Тема 7. *Оператори мови VHDL.*

Оператори присвоювання. Послідовні оператори. Паралельні оператори. Оператор генерації. Компонент.

Тема 8. *Пакети, процедури та функції мови VHDL.*

Функції і процедури VHDL. Пакети та бібліотеки.

Тема 9. *Опис комбінаційної логіки та послідовнісних схем мовою VHDL.*

Опис мовою VHDL комбінаційної логіки, мультиплексора, дешифратора, компаратора. Опис тригерів, регістрів, лічильників.

Тема 10. *Опис пам'яті з використанням мови VHDL.*

Параметризовані модулі. Опис ПЗП і ОЗП мовою VHDL. Опис двохпортової пам'яті.

Змістовий модуль 3. Проектування цифрових пристроїв мовою VHDL.

Тема 11. *Проектування арифметично-логічних пристроїв та перемножувачів.*

Проектування суматорів послідовного і паралельного типів, перемножувачів.

Тема 12. *Проектування пристроїв обробки даних в форматі з плаваючою крапкою.*

Формат IEEE 754. Структура і проектування 32-х розрядних суматорів, перемножувачів чисел у форматі з плаваючою крапкою.

Тема 13. *Проектування цифрових автоматів з пам'яттю.*

Структура цифрового автомата: комбінаційна і послідовнісна частини. Ієрархічні графи автоматів. Стили запису автоматів.

Тема 14. *Проектування пристрою UART мовою VHDL.*

Структурна схема UART. Функціональна модель UART. UART приймач. UART передавач. Тестування пристрою UART.

Тема 15. *Реалізація цифрових фільтрів з скінченною імпульсною характеристикою на ПЛІС FPGA.*

Проектування структурної схеми лінії затримки, ПЗП для коефіцієнтів імпульсної характеристики, функціональної моделі FIR- фільтра.

Тема 16. *Реалізація компонент нейронних мереж на ПЛІС FPGA.*

Проектування функції активації нейрона, обчислювача скалярного добутку.

4. Структура навчальної дисципліни

Назви змістових модулів і тем	Кількість годин											
	денна форма						заочна форма					
	усього	у тому числі					усього	у тому числі				
		лек.	п	лаб.	інд.	с. р.		л	п	лаб	інд	с. р.
1	2	3	4	5	6	7	8	9	10	11	12	13
Змістовий модуль 1. Класифікація і архітектура ПЛІС. Середовище розробки IDE Quartus II.												
Тема 1. Вступ у вбудовані системи.	7,5	2		2		3,5						
Тема 2. Інтегрована оболонка IDE Quartus II вер. 13.1. Створення проекту в середовищі Quartus II.	7,5	2		2		3,5						
Тема 3. Моделювання проекту в середовищі IDE Quartus II вер. 13.1.	7,5	2		2		3,5						
Тема 4. Класифікація і архітектура ПЛІС. Програмована матрична логіка, програмовані логічні матриці, базові матричні кристали.	7,5	2		2		3,5						
Тема 5. Архітектура ПЛІС CPLD, FPGA. ПЛІС FPGA сімейства Cyclone V.	7,5	2		2		3,5						
Разом за змістовим	37,5	10		10		17,5						

модулем 1.													
Змістовий модуль 2. Основи мови VHDL.													
Тема 6. Основні концепції мови VHDL. Структура проекту мовою VHDL.	7,5	2		2		3,5							
Тема 7. Оператори мови VHDL.	7,5	2		2		3,5							
Тема 8. Пакети, процедури та функції мови VHDL.	7,5	2		2		3,5							
Тема 9. Опис комбінаційної логіки та послідовнісних схем мовою VHDL.	7,5	2		2		3,5							
Тема 10. Опис пам'яті з використанням мови VHDL.	7,5	2		2		3,5							
Разом за змістовим модулем 2.	37,5	10		10		17,5							
Змістовий модуль 3. Проектування цифрових пристроїв мовою VHDL.													
Тема 11. Проектування арифметично-логічних пристроїв та перемножувачів.	7,5	2		2		3,5							
Тема 12. Проектування пристроїв обробки даних в форматі з плаваючою крапкою.	7,5	2		2		3,5							
Тема 13. Проектування цифрових автоматів з пам'яттю.	7,5	2		2		3,5							
Тема 14. Проектування пристрою UART мовою VHDL.	7,5	2		2		3,5							
Тема 15. Реалізація цифрових фільтрів з скінченною імпульсною характеристикою на ПЛІС FPGA.	7,5	2		2		3,5							
Тема 16. Реалізація компонент нейронних мереж на ПЛІС FPGA	7,5	2		2		3,5							
Разом за змістовим модулем 3.	45,0	12		12		21,0							
Усього годин	120	32		32		56							

5. Теми семінарських занять

6. Теми практичних занять

7. Теми лабораторних занять

№ з/п	Назва теми	Кількість годин
1	<i>ЛР 1. Вступне заняття. Ввідний інструктаж з техніки безпеки. Вивчення лабораторного стенду DE0-CV для програмування ПЛІС FPGA сімейства Cyclone V.</i>	2
2	<i>ЛР 2. Вивчення IDE Quartus II вер. 13.1. Реалізація першого проекту в середовищі Quartus II.</i>	2
3	<i>ЛР 3. Моделювання проекту в IDE Quartus II вер. 13.1.</i>	2
4	<i>ЛР 4. Компіляція проекту в IDE Quartus II вер. 13.1. Аналіз результатів компіляції.</i>	2
5	<i>ЛР 5. Часовий аналіз проекту в середовищі Quartus II вер. 13.1.</i>	2
6	<i>ЛР 6. Дослідження цифрових пристроїв комбінаційного типу.</i>	2
7	<i>ЛР 7. Дослідження цифрових пристроїв послідовного типу.</i>	2
8	<i>ЛР 8. Дослідження мегафункцій арифметичних операцій в IDE Quartus II вер. 13.1.</i>	2
9	<i>ЛР 9. Проектування цифрових пристроїв комбінаційного типу мовою VHDL.</i>	2
10	<i>ЛР 10. Проектування цифрових пристроїв комбінаційного типу мовою VHDL.</i>	2
11	<i>ЛР 11. Проектування пристроїв оперативної і постійної пам'яті мовою VHDL.</i>	2
12	<i>ЛР 12. Дослідження мегафункцій арифметичних операцій з плаваючою крапкою в IDE Quartus II вер. 13.1.</i>	2
13	<i>ЛР 13. Проектування і реалізація цифрових автоматів в середовищі Quartus II вер. 13.1.</i>	2
14	<i>ЛР 14. Реалізація і дослідження пристрою UART мовою VHDL.</i>	2
15	<i>ЛР 15. Проектування і реалізація FIR- фільтра з 4-ма відводами мовою VHDL.</i>	2
16	<i>ЛР 16. Реалізація і дослідження функції активації нейрона та пристрою скалярного добутку.</i>	2
	Разом	32

8. Самостійна робота

№ з/п	Назва теми	Кількість годин
1	Компоненти і характеристики лабораторного стенду DE0-CV. Середовище розробки Quartus II вер. 13.1. Реалізація проектів до ЛР 1 та написання звіту з ЛР 1. Підготовка до КР 1.	3,5
2	Елементна база сучасних ПЛІС. Їх архітектура Реалізація проектів до ЛР 2 та написання звіту з ЛР 2. Підготовка до КР 1.	3,5
3	Створення елементів за допомогою майстра MegaWizard Plug-In Manager в IDE Quartus II. Реалізація проектів до ЛР 3 та написання звіту з ЛР 3. Підготовка до КР 1.	3,5
4	RTL Viewer та Technology Map Viewer IDE Quartus II. Реалізація проектів до ЛР 4 та написання звіту з ЛР 4. Підготовка до КР 1.	3,5
5	Побудова часових діаграм проекту в IDE Quartus II. Програмування та конфігурування в IDE Quartus II. Реалізація проектів до ЛР 5 та написання звіту з ЛР 5. Підготовка до КР 1.	3,5
6	Основні елементи мови VHDL. Реалізація проектів до ЛР 6 та написання звіту з ЛР 6. Підготовка до КР 1.	3,5
7	Послідовні і паралельні оператори мови VHDL. Реалізація проектів до ЛР 7 та написання звіту з ЛР 7. Підготовка до КР 1.	3,5
8	Організація проекту. Модулі проекту і VHDL бібліотеки. Реалізація проектів до ЛР 8 та написання звіту з ЛР 8. Написання КР 1.	3,5
9	Стили опису поведінки і форми опису сигналів в мові VHDL. Реалізація проектів до ЛР 9 та написання звіту з ЛР 9. Підготовка до КР 2.	3,5
10	Створення файлу мовою VHDL в IDE Quartus II. Реалізація проектів до ЛР 10 та написання звіту з ЛР 10. Підготовка до КР 2.	3,5
11	Комбінаційні цифрові пристрої. Опис їх мовою VHDL. Реалізація проектів до ЛР 11 та написання звіту з ЛР 11. Підготовка до КР 2.	3,5
12	Основні цифрові пристрої послідовнісного типу. Їх опис мовою VHDL. Реалізація проектів до ЛР 12 та написання звіту з ЛР 12. Підготовка до КР 2.	3,5
13	Модель абстрактного автомата. Автомати Мілі і Мура. Граф скінченного автомата. Реалізація проектів до ЛР 13	3,5

	та написання звіту з ЛР 13. Підготовка до КР 2.	
14	Формат інтерфейсу UART. Структура пристрою UART. Реалізація проєктів до ЛР 14 та написання звіту з ЛР 14. Підготовка до КР 2.	3,5
15	FIR- фільтри. Їх характеристики та алгоритм проєктування. Реалізація проєктів до ЛР 15 та написання звіту з ЛР 15. Написання КР 2.	3,5
16	Архітектура нейронних мереж. Основні компоненти нейрона. Реалізація проєктів до ЛР 16 та написання звіту з ЛР 16.	3,5
	Разом	56

9. Індивідуальні завдання

10. Методи навчання

Інформаційні методи (лекція, бесіда, ілюстрація, демонстрація); дедуктивні методи на основі узагальнень; евристичні методи (проблемна лекція); інтерактивні методи (дискусія).

11. Методи контролю

Поточний контроль здійснюється шляхом проведення усного опитування, двох контрольних робіт та написання письмових звітів по виконаних лабораторних роботах. У кінці курсу проводиться залік.

12. Розподіл балів, які отримують студенти

Оцінювання проводиться упродовж семестру та під час екзаменаційної сесії за 100-бальною шкалою. Бали нараховуються за такими видами робіт із таким співвідношенням:

- лабораторні роботи: 64% семестрової оцінки; максимальна кількість балів 64.

- дві контрольні роботи: 36% семестрової оцінки; максимальна кількість балів 36.

Загалом 100 балів.

Шкала оцінювання: національна та ЄКТС

Оцінка ЄКТС	Сума балів за всі види навчальної діяльності	Оцінка за національною шкалою	
		для екзамену, курсового проєкту (роботи), практики	для заліку
A	90 – 100	відмінно	зараховано
B	81-89	добре	

C	71-80		
D	61-70	задовільно	
E	51-60		
FX	21-50	незадовільно з можливістю повторного складання	не зараховано з можливістю повторного складання
F	0-20	незадовільно з обов'язковим повторним вивченням дисципліни	не зараховано з обов'язковим повторним вивченням дисципліни

* кількість балів для оцінок «незадовільно» (FX і F) визначається Вченими радами факультетів (педагогічними радами коледжів).

13. Методичне забезпечення

1) Рабик В. Г. Методичні вказівки до виконання лабораторних робіт з курсу " Апаратне забезпечення вбудованих систем ", Львів, (електронна версія).

14. Рекомендована література Основна

1) Казимир В.В. Проектування комп'ютерних систем на основі мікросхем програмованої логіки : монографія / С. А. Іванець, Ю. О. Зубань, В. В. Казимир, В. В. Литвинов. – Суми : Сумський державний університет, 2013. – 313 с.

2) Бондаренко І.М., Бородін О.В., Карнаушенко В.П. Сучасна компонентна база електронних систем: навч. посібник для студентів ЗВО. / І.М. Бондаренко, О.В. Бородін, В.П. Карнаушенко. – Харків: ХНУРЕ, 2020. – 268 с.

3) Grout, Ian. Digital Systems Design with FPGAs and CPLDs. / Ian Grout. P. 763. 2008.

4) Аврунін О.Г. Основи мови VHDL для проектування цифрових пристроїв на ПЛІС : навч. посібник / О.Г. Аврунін, Т.В. Носова, В.В. Семенець. Харків: ХНУРЕ, 2018. 196 с.

5) Cyclone V Device Handbook. P. 3801. [Електронний ресурс]. – Режим доступу: https://people.ece.cornell.edu/land/courses/ece5760/DE1_SOC/cyclone5_handbook.pdf

6) De0-CV. User Manual P. 60. [Електронний ресурс].– Режим доступу: https://www2.pcs.usp.br/~labdig/material/DE0_CV_User_Manual.pdf

7) Pedroni, Volnei A. Circuit Design with VHDL. P. 376. 2004.

8) Raj A. FPGA-Based Embedded System Developer's Guide. P. 847. CRC Press, Boca Raton, USA, 2018

Допоміжна

1) Suresh N. Embedded systems design. – 141 p. [Електронний ресурс]. – Режим доступу: https://mrcet.com/downloads/digital_notes/ECE/IV%20Year/EMBEDDED%20SYSTEMS%20DESIGN.pdf

2) Barrett Steven Embedded Systems Design with the Atmel AVR Microcontroller – Part I. – 2009. 176 p. [Електронний ресурс]. – Режим доступу: <http://fit.mta.edu.vn/files/DanhSach/Embedded%20Systems%20Design%20%20Part%201.pdf>

3) Barrett Steven Embedded Systems Design with the Atmel AVR Microcontroller – Part II. – 2009. 296 p. [Електронний ресурс]. – Режим доступу: <http://fit.mta.edu.vn/files/DanhSach/Embedded%20Systems%20Design%20-%20Part%202.pdf>

4) Donzellini G., Ponta D, Oneto L., Circuit Prototyping on Terasic/Altera DE0-CV Board [Електронний ресурс]. – Режим доступу: <https://www.digitalelectronicsdeeds.com/learningmaterials/LM/Tutorials/DE0CV/Index.htm>

5) Donzellini G., Ponta D, Oneto L., Sequential Circuit Testing on Terasic/Altera DE0-CV Board.[Електронний ресурс]. – Режим доступу: <https://www.digitalelectronicsdeeds.com/learningmaterials/LM/Tutorials/DE0CV/SeqTest.htm>

15. Інформаційні ресурси

1. Internet – джерела.
2. Наукова бібліотека Львівського національного університету імені Івана Франка (<https://www.lnulibrary.lviv.ua/to-users-2/paid-services/internet/>).
3. Львівська національна наукова бібліотека України імені Василя Стефаника (<https://www.lsl.lviv.ua/index.php/uk/elektronni-resursy1/>).