

Назва дисципліни	Апаратне забезпечення вбудованих систем / Embedded systems hardware.
Адреса викладання дисципліни	м. Львів, вул. ген. Тарнавського, 107, 79017
Факультет та кафедра, за якою закріплена дисципліна	Факультет електроніки та комп'ютерних технологій, кафедра радіофізики та комп'ютерних технологій
Галузь знань, шифр та назва спеціальності	12 - Інформаційні технології, 121 - Інженерія програмного забезпечення
Викладачі дисципліни	Карбовник Іван Дмитрович, докт., фіз.-мат. наук, професор Рабик Василь Григорович, канд. техн. наук, доцент
Контактна інформація викладачів	ivan.karbovnyk@lnu.edu.ua Vasyl.Rabyk@lnu.edu.ua https://electronics.lnu.edu.ua/employee/rabyk-v-h
Консультації з питань навчання по дисципліні відбуваються	Консультації в день проведення лекційних/лабораторних занять (за попередньою домовленістю): ОЛ 1, корпус ф-ту електроніки та комп'ютерних технологій, вул. ген. Тарнавського, 107, м. Львів. Також можливі онлайн-консультації через MS Teams. Для погодження часу онлайн-консультацій слід писати на електронну пошту викладача.
Сторінка дисципліни	https://teams.microsoft.com/l/team/19%3aACL3_Hs39iifImJ3-MNrE6LOBGv2buCbIPGSiXe0Hlc1%40thread.tacv2/conversations?groupId=49151657-8149-47fa-8a5a-1a264bf7b87d&tenantId=70a28522-969b-451f-bdb2-abfea3aaa5bf
Інформація про дисципліну	Дисципліна «Апаратне забезпечення вбудованих систем» є складовою циклу дисциплін професійної і практичної підготовки зі спеціальності 121 «Інженерія програмного забезпечення» для освітньої програми «Інженерія програмного забезпечення», яка викладається в сьомому семестрі в обсязі 4,0 кредитів (за Європейською Кредитно-Трансферною Системою – ECTS).
Коротка анотація дисципліни	Навчальну дисципліну розроблено таким чином, щоб надати учасникам необхідні знання, для апаратної реалізації вбудованих систем. Тому у дисципліні значна увага приділена розгляду архітектури ПЛІС CPLD, FPGA, архітектурі FPGA сімейства Cyclone V, архітектурі вбудованих систем, середовищу розробки IDE Quartus II та роботі зі стендом DE0-CV, опису цифрових комбінаційних пристроїв та пристроїв послідовного типу мовою VHDL, теоретичним і прикладним аспектам реалізації арифметично-логічних пристроїв та перемножувачів, цифрових автоматів, пристрою UART, цифрових FIR фільтрів, компонент нейронних мереж.
Мета та цілі дисципліни	<i>Мета:</i> надати студентам основні поняття з побудови, архітектури, функціонування вбудованих систем, архітектури програмованих логічних інтегральних схем FPGA, з реалізації на основі ПЛІС основних компонентів вбудованих систем з використанням середовища розробки Quartus II. <i>Цілі:</i> ознайомити студентів з методами і засобами проектування компонентів вбудованих систем, привити навички використання теоретичних знань для розв'язання практичних задач по розробці основних компонентів вбудованих систем на сучасній елементній базі – ПЛІС.
Література для вивчення дисципліни	Основна література: 1. Казимир В.В. Проектування комп'ютерних систем на основі мікросхем програмованої логіки : монографія / С. А. Іванець, Ю. О. Зубань, В. В. Казимир, В. В. Литвинов. – Суми : Сумський державний університет, 2013. – 313 с.

	<ol style="list-style-type: none"> 2. Бондаренко І.М., Бородін О.В., Карнаушенко В.П. Сучасна компонентна база електронних систем: навч. посібник для студентів ЗВО. / І.М. Бондаренко, О.В. Бородін, В.П. Карнаушенко. – Харків: ХНУРЕ, 2020. – 268 с. 3. Казимир В.В. Проектування комп'ютерних систем на основі мікросхем програмованої логіки : монографія / С. А. Іванець, Ю. О. Зубань, В. В. Казимир, В. В. Литвинов. – Суми : Сумський державний університет, 2013. – 313 с. 4. Аврунін О.Г. Основи мови VHDL для проектування цифрових пристроїв на ПЛІС : навч. посібник / О.Г. Аврунін, Т.В. Носова, В.В. Семенець. Харків: ХНУРЕ, 2018. 196 с. 5. Cyclone V Device Handbook. P. 3801. [Електронний ресурс]. – Режим доступу: https://people.ece.cornell.edu/land/courses/ece5760/DE1_SOC/cyclone5_handbook.pdf 6. DE0-CV. User Manual. [Електронний ресурс]. P. 60 – Режим доступу: https://www2.pcs.usp.br/~labdig/material/DE0_CV_User_Manual.pdf 7. Tsmots I. Floating-Point Number Scalar Product Hardware Implementation for Embedded Systems / I. Tsmots, V. Rabyk, V. Teslyuk, Yu. Opotyak // 2023 IEEE 17th International Conference on the Experience of Designing and Application of CAD Systems, CADSM 2023 - Proceedings, February 22 – 25, 2023, Yaroslaw, Poland. –P. 6–10. 8. Raj A. FPGA-Based Embedded System Developer's Guide. P. 847. CRC Press, Boca Raton, USA, 2018 <p style="text-align: center;">Додаткова література:</p> <ol style="list-style-type: none"> 9. Suresh N. Embedded systems design. – 141 p. [Електронний ресурс]. – Режим доступу: https://mrcet.com/downloads/digital_notes/ECE/IV%20Year/EMBEDDED%20SYSTEMS%20DESIGN.pdf 10. Tsmots I. Implementation of Base Components of Neuro-like Cryptographic Data Protection Systems on FPGA / I. Tsmots, R. Tkachenko, V. Teslyuk, V. Rabyk, Yu. Opotyak // Proceedings of the 2023 IEEE 13th International Conference on Electronics and Information Technologies (ELIT) – Lviv: 2023. P. 196 – 201. 11. Peter Marwedel, Embedded System Design. Fourth Edition, 2021. 433 p. 12. Donzellini G., Ponta D, Oneto L., Circuit Prototyping on Terasic/Altera DE0-CV Board [Електронний ресурс]. – Режим доступу: https://www.digitalelectronicsdeeds.com/learningmaterials/LM/Tutorials/DE0CV/Index.htm 13. Donzellini G., Ponta D, Oneto L., Sequential Circuit Testing on Terasic/Altera DE0-CV Board. [Електронний ресурс]. – Режим доступу: https://www.digitalelectronicsdeeds.com/learningmaterials/LM/Tutorials/DE0CV/SeqTest.htm
Обсяг курсу	Сумарно 120 годин. Із них 32 години лекцій, 32 години лабораторних робіт і 56 годин самостійної роботи.
Очікувані результати навчання	<p>Після завершення цього курсу студент буде:</p> <ul style="list-style-type: none"> - Знати загальні поняття про програмовану логіку та її архітектуру; архітектуру FPGA сімейства Cyclone V; особливості використання сучасних обчислювальних архітектур на базі ПЛІС FPGA для реалізації компонент вбудованих систем; середовище розробки Quartus II, вер. 13.1 для програмування і розробки під ПЛІС; інтерфейси взаємодії ПЛІС FPGA з елементами вбудованих систем (давачами, актуаторами). - Вміти створювати проекти в середовищі розробки Quartus II, вер.

	<p>13.1; проектувати цифрові системи на основі ПЛІС FPGA; тестувати пристрої, реалізовані на основі ПЛІС FPGA.</p> <p>Після вивчення даного курсу «Апаратне забезпечення вбудованих систем» здобувачі набудуть таких Загальних та Фахових компетентностей та Програмних результатів навчання:</p> <p>ЗК1. Здатність до абстрактного мислення, аналізу та синтезу.</p> <p>ЗК2. Здатність застосовувати знання у практичних ситуаціях.</p> <p>ЗК5. Здатність вчитися і оволодівати сучасними знаннями.</p> <p>ЗК6. Здатність до пошуку, оброблення та аналізу інформації з різних джерел.</p> <p>ЗК7. Здатність працювати в команді.</p> <p>ФК14. Здатність брати участь у проектуванні програмного забезпечення, включаючи проведення моделювання (формальний опис) його структури, поведінки та процесів функціонування.</p> <p>ФК20. Здатність застосовувати фундаментальні і міждисциплінарні знання для успішного розв'язання завдань інженерії програмного забезпечення.</p> <p>ФК26. Здатність до алгоритмічного та логічного мислення.</p> <p>ПРН10. Проводити передпроектне обстеження предметної області, системний аналіз об'єкта проектування.</p> <p>ПРН12. Застосовувати на практиці ефективні підходи щодо проектування програмного забезпечення.</p> <p>ПРН18. Знати та вміти застосовувати інформаційні технології обробки, зберігання та передачі даних.</p>
Ключові слова	Вбудовані системи, ПЛІС FPGA, архітектура ПЛІС FPGA, середовище розробки IDE Quartus II, цифрові системи, запам'ятовуючі пристрої, мегафункції бібліотеки IDE Quartus II.
Формат курсу	Очний
Теми	<p>Тема 1. Вступ у вбудовані системи.</p> <p>Тема 2. Класифікація і архітектура ПЛІС. Програмована матрична логіка, програмовані логічні матриці, базові матричні кристали.</p> <p>Тема 3. Архітектура ПЛІС CPLD, FPGA. ПЛІС FPGA сімейства Cyclone V.</p> <p>Тема 4. Інтегрована оболонка IDE Quartus II вер. 13.1. Створення проекту в середовищі Quartus II.</p> <p>Тема 5. Моделювання проекту в середовищі IDE Quartus II вер. 13.1.</p> <p>Тема 6. Основні концепції мови VHDL. Структура проекту мовою VHDL.</p> <p>Тема 7. Оператори мови VHDL.</p> <p>Тема 8. Пакети, процедури та функції мови VHDL.</p> <p>Тема 9. Опис комбінаційної логіки та послідовнісних схем мовою VHDL.</p> <p>Тема 10. Опис пам'яті з використанням мови VHDL.</p> <p>Тема 11. Проектування арифметично-логічних пристроїв та перемножувачів.</p> <p>Тема 12. Проектування пристроїв обробки даних в форматі з плаваючою крапкою.</p> <p>Тема 13. Проектування цифрових автоматів з пам'яттю.</p> <p>Тема 14. Проектування пристрою UART мовою VHDL.</p> <p>Тема 15. Реалізація цифрових фільтрів з скінченною імпульсною характеристикою на ПЛІС FPGA.</p> <p>Тема 16. Реалізація компонент нейронних мереж на ПЛІС FPGA.</p>
Підсумковий контроль, форма	Залік в кінці семестру.

<p>Пререквізити</p>	<p>Для вивчення курсу студенти потребують базових знань з дисциплін «Вища математика», «Алгоритми і структури даних», «Об'єктно-орієнтоване програмування», «Архітектура комп'ютерів та комп'ютерна схемотехніка», «Цифрова обробка інформації», «Цифрова та аналогова електроніка».</p>
<p>Навчальні методи та техніки, які будуть використовуватися під час викладання курсу</p>	<p>Інформаційні методи (лекції, презентації, лабораторні роботи, виконання індивідуальних завдань, робота у групі, обговорення, консультації для поглибленого розуміння тем, бесіда, ілюстрація, демонстрація); дедуктивні методи на основі узагальнень; евристичні методи (проблемна лекція); інтерактивні методи (дискусія).</p>
<p>Необхідне обладнання</p>	<p>Для проведення лекційних занять:</p> <ul style="list-style-type: none"> - ноутбук HP Laptop 15 (процесор Intel(R) Core(TM) i5-1035, 8GB оперативної пам'яті, HDD 512GB); - мультимедійне обладнання (проектор, проекційний екран, дошка настінна, звуковий підсилювач та аудіосистема); - комутатор мережевий для доступу до мережі Internet. <p>Для проведення лабораторних занять:</p> <p>-- програмне забезпечення:</p> <ul style="list-style-type: none"> - ОС Windows 10 PRO; - IDE Quartus II, ver. 13.1. <p>-- обладнання:</p> <ul style="list-style-type: none"> - комп'ютерна лабораторія з 15 робочими місцями; - монітори TFT 22"; - системні блоки (процесор Intel(R) Core(TM) i3-71000, 8GB оперативної пам'яті, HDD 512 GB) – 12 шт.; - системні блоки (процесор AMD Athlon 2800 MHz, 4GB оперативної пам'яті, HDD 512 GB) – 3 шт.; - комутатор мережевий для доступу до мережі Internet; - лабораторні стенди DE0-CV; - цифрові осцилографи –DS1052E, DS1054Z; - генератори - UNI-T UTG1010A, FY6900; - блоки живлення - Б5 - 48; - мультиметри – MS8265, UNI-T UTM120B, MY65.
<p>Критерії оцінювання (окремо для кожного виду навчальної діяльності)</p>	<p>Оцінювання проводиться упродовж семестру за 100-бальною шкалою. Бали нараховуються за такими видами робіт із таким співвідношенням:</p> <ul style="list-style-type: none"> - лабораторні роботи: 64% семестрової оцінки; максимальна кількість балів 64. - змістова контрольна робота 1: 18% семестрової оцінки; максимальна кількість балів 18. - змістова контрольна робота 2: 18% семестрової оцінки; максимальна кількість балів 18. <p>Підсумкова максимальна кількість балів 100.</p> <p>Контрольні заміри знань проводять у формі практичних завдань з реалізацією їх на стендах DE0-CV і теоретичних питань.</p> <p>Академічна доброчесність: Очікується, що лабораторні та контрольні роботи студентів будуть їхніми оригінальними дослідженнями або міркуваннями. Відсутність посилань на використані джерела, фабрикування джерел, списування, втручання в роботу інших студентів становлять, але не обмежують, приклади можливої академічної недоброчесності. Виявлення ознак академічної недоброчесності в написанні завдань студентом є підставою для їх незарахування викладачем, незалежно від масштабів плагіату або спроб обману. Жодні форми порушення академічної доброчесності не толеруються.</p>

Відвідування занять є важливою складовою навчання. Очікується, що всі студенти відвідають усі лекції та лабораторні заняття курсу. Студенти повинні інформувати викладача про неможливість відвідати заняття. У будь-якому випадку студенти зобов'язані дотримуватися всіх термінів, визначених для виконання всіх видів робіт, передбачених курсом.

Література. Уся література, яку студенти не зможуть знайти самостійно, буде надана викладачем виключно в освітніх цілях без права її передачі третім особам. Студенти заохочуються до використання також й іншої літератури та джерел, зокрема наукової літератури, яких немає серед рекомендованих.

Політика виставлення балів. Враховуються бали, набрані за виконання контрольних робіт та бали за виконання лабораторних робіт. Обов'язково враховуються присутність на заняттях та активність студента під час заняття; наголошується на недопустимості пропусків та запізнь на заняття; користування мобільним телефоном, планшетом або іншими мобільними пристроями під час заняття в цілях не пов'язаних з навчанням, списування та плагіат; несвоєчасне виконання поставлених завдань і т. ін.

Оцінювання лабораторних робіт (16 лабораторних робіт, максимальна кількість балів - 64) відбувається шляхом оцінки роботи студента під час проведення лабораторної роботи в лабораторії (0-2.5 бали за одну роботу) та захисту і оформленні звіту по виконаній лабораторній роботі (0-1.5 бали за одну роботу). Разом 4 бали – максимальна оцінка за виконання, оформлення звіту і захист лабораторної роботи. У підсумку максимальна кількість балів за виконані і захищені лабораторні роботи складає 64 балів.

Бали оцінювання лабораторних робіт нараховуються за наступним співвідношенням:

- *виконання лабораторної роботи:*

- 2.5 бали – студент повністю підготовлений і в повному об'ємі виконав дослідницьку частину лабораторної роботи;

- 2 бали - студент не повністю підготовлений і не повністю виконав дослідницьку частину лабораторної роботи;

- 1 бал - студент слабо підготовлений і тільки частково виконав дослідницьку частину лабораторної роботи.

- *захист лабораторної роботи та оформлення звіту про її виконання:*

- 1.5 бали – на високому рівні захищена теоретична та дослідницька частини лабораторної роботи, якісно і в повному об'ємі виконаний звіт;

- 1 бал - не достатній рівень захисту однієї з частин лабораторної роботи, є зауваження до оформлення звіту;

Оцінювання модульних контрольних робіт (2 модульні контрольні роботи, 18 балів за кожен). Пишуться студентами без використання допоміжних засобів (мобільні телефони, планшети та ін.); результат пересилається у файлі формату *.pdf до відповідної теки веб-сторінки дисципліни. Всі питання контрольних робіт поділяються на теоретичні і практичні. Практичні питання реалізуються в середовищі розробки Quartus II та запускаються на лабораторних стендах DE0-CV.

Бали оцінювання змістових модулів нараховуються за наступним співвідношенням:

18-14 балів - розглянуті теоретичні питання висвітлені в повному обсязі, містять аргументовані висновки. Реалізовані практичні завдання повністю робочі та запущені і продемонстровані викладачу на лабораторному стенді DE0-CV. Можуть бути присутні несуттєві помилки та не-

	<p>відповідності.</p> <p>13-9 балів – висвітлені не повністю теоретичні питання. Виявлено знання і розуміння теоретичних питань, проте присутні неточності та/або невідповідності. Реалізовані не повністю практичні завдання та не всі продемонстровані на лабораторному стенді DE0-CV.</p> <p>8-4 бали – відстежується загальне розуміння розглянутих теоретичних питань. Виявлені множинні неточності та невідповідності їх висвітлення. Реалізовані окремі практичні завдання та не всі продемонстровані на лабораторному стенді DE0-CV.</p> <p>3-1 бал – студент погано розуміє теоретичні питання. Виявлені суттєві неточності та невідповідності. Реалізовані практичні завдання містять суттєві помилки і не продемонстровані на лабораторному стенді DE0-CV.</p> <p>Критерії оцінювання результатів неформальної освіти:</p> <p>Нарахування балів відбувається за написання студентом тез доповідей на конференціях, наукових статей, участь у діяльності наукових гуртків, участь у наукових семінарах та круглих столах, конкурсах, участь у заходах неформальної освіти за отримання сертифікатів про проходження навчання на різних освітніх платформах (Coursera, Prometheus тощо), курсах на провідних ІТ компаніях за тематикою навчальної дисципліни. Кількість балів визначається відсотком покриття результатів відповідної активності до вимог результатів навчання з навчальної дисципліни.</p>
<p>Питання до контрольних робіт</p>	<p>Перелік питань і завдань для проведення підсумкової оцінки знань усіх тем курсу до контрольних робіт розміщено на веб-сторінці.</p>
<p>Опитування</p>	<p>Анкету-оцінку з метою оцінювання якості курсу буде надано по завершенню курсу.</p>

СХЕМА КУРСУ

Тиж.	Тема, план, короткі тези	Форма діяльності (заняття)	Література. Ресурси в Інтернеті	Завдання (лабораторна робота), год.	Термін виконання
1	Вступ у вбудовані системи (визначення вбудованих систем та їх характеристики, базова структура вбудованої системи, типи вбудованих систем, застосування вбудованих систем). Лекція 1. 2 год.	Лекція	6,8,9,12,13	Вступне заняття. Ввідний інструктаж з техніки безпеки. Вивчення лабораторного стенду DE0-CV для програмування ПЛІС FPGA сімейства Cyclone V. (ЛР. 1 – 2 год.)	1-й тиж. семестру
2	Інтегрована оболонка IDE Quartus II вер. 13.1. Створення проекту в середовищі Quartus II (Основні етапи створення проекту в IDE Quartus II. Графічний інтерфейс користувача. Сумісність з іншими САПР. Редактори пакету Quartus II – графічний, символічний, текстовий). Лекція 2. 2 год.	Лекція	1,2	Вивчення IDE Quartus II вер. 13.1. Реалізація першого проекту в середовищі Quartus II. (ЛР. 2 – 2 год.)	2-й тиж. семестру
3	Моделювання проекту в середовищі IDE Quartus II вер. 13.1 (Створення *.vwf файлу, формування сигналів для моделювання, запуск програми моделювання, аналіз результатів). Лекція 3. 2 год.	Лекція	1,2	Моделювання проекту в IDE Quartus II вер. 13.1. (ЛР. 3 – 2 год)	3-й тиж. семестру
4	Класифікація і архітектура ПЛІС. Програмована матрична логіка, програмовані логічні матриці, базові матричні кристали (Класифікація ПЛІС. Архітектура програмованих логічних матриць, програмованої матричної логіки, базових матричних кристалів). Лекція 4. 2 год.	Лекція	1,2	Компіляція проекту в IDE Quartus II вер. 13.1. Аналіз результатів компіляції. (ЛР. 4 – 2 год)	4-й тиж. семестру
5	Архітектура ПЛІС CPLD, FPGA. ПЛІС FPGA сімейства Cyclone V (Архітектура, параметри ПЛІС CPLD, FPGA. Структура, параметри FPGA сімейства Cyclone V). Лекція 5. 2 год.	Лекція	1,2,5	Часовий аналіз проекту в середовищі Quartus II вер. 13.1. (ЛР. 5 – 2 год)	5-й тиж. семестру
6	Основні концепції мови VHDL. Структура проекту мовою VHDL (Структура проекту мовою VHDL. Декларація бібліотек, інтерфейс об'єкту проекту. Типи даних.	Лекція	3,7,8	Дослідження цифрових пристроїв комбінаційного типу. (ЛР. 6 – 2 год)	6-й тиж. семестру

	<i>Літерали. Масиви і записи). Лекція 6. 2 год.</i>				
7	Оператори мови VHDL (<i>Оператори присвоювання. Послідовні оператори. Паралельні оператори. Оператор генерації. Компонент).</i> Лекція 7. 2 год.	Лекція	1,3,7,8,10	Дослідження цифрових пристроїв послідовного типу. (ЛР. 7 – 2 год)	7 тиж. семестру
8	Пакети, процедури та функції мови VHDL (<i>Функції і процедури VHDL. Пакети та бібліотеки.</i>) Лекція 8. 2 год.	Лекція	1,3,7,8,11	Дослідження мегафункцій арифметичних операцій в IDE Quartus II вер. 13.1. (ЛР. 8 – 2 год)	8 тиж. семестру
9	Опис комбінаційної логіки та послідовнісних схем мовою VHDL (<i>Опис комбінаційної логіки, мультиплексора, дешифратора, компаратора. Опис тригерів, регістрів, лічильників).</i> Лекція 9. 2 год.	Лекція	1,3,7,8	Проектування цифрових пристроїв комбінаційного типу мовою VHDL. (ЛР. 9 – 2 год)	9 тиж. семестру
10	Опис пам'яті з використанням мови VHDL (<i>Параметризовані модулі. Опис ПЗП і ОЗП мовою VHDL. Опис двохпортової пам'яті).</i> Лекція 10. 2 год.	Лекція	1,3,7,8	Проектування цифрових пристроїв комбінаційного типу мовою VHDL. (ЛР. 10 – 2 год)	10 тиж. семестру
11	Проектування арифметично-логічних пристроїв та перемножувачів (<i>Проектування суматорів послідовного і паралельного типів, перемножувачів).</i> Лекція 11. 2 год.	Лекція	1,3,4,7,8	Проектування пристроїв оперативної і постійної пам'яті мовою VHDL. (ЛР. 11 – 2 год)	11 тиж. семестру
12	Проектування пристроїв обробки даних в форматі з плаваючою крапкою (<i>Формат IEEE 754. Структура і проектування 32-х розрядних суматорів, перемножувачів чисел у форматі з плаваючою крапкою).</i> Лекція 12. 2 год.	Лекція	1,3,4,7,8	Дослідження мегафункцій арифметичних операцій з плаваючою крапкою в IDE Quartus II вер. 13.1. (ЛР. 12 – 2 год)	12 тиж. семестру
13	Проектування цифрових автоматів з пам'яттю (<i>Структура цифрового автомата: комбінаційна і послідовнісна частини. Ієрархічні графи автоматів. Стили запису автоматів).</i> Лекція 13. 2 год.	Лекція	1,3,4	Проектування і реалізація цифрових автоматів в середовищі Quartus II вер. 13.1. (ЛР. 13 – 2 год)	13 тиж. семестру
14	Проектування пристрою UART мовою VHDL (<i>Структурна схема UART. Функціональна модель UART. UART приймач. UART передавач. Тестування пристрою UART).</i> Лекція 14. 2 год.	Лекція	1,3,4	Реалізація і дослідження пристрою UART мовою VHDL. (ЛР. 14 – 2 год)	14 тиж. семестру
15	Реалізація цифрових фільт-	Лекція	4,7,8,10,11	Проектування і реалізація FIR-	15 тиж.

	<p>рів з скінченною імпульсною характеристикою на ПЛІС FPGA (<i>Проектування структурної схеми лінії затримки, ПЗП для коефіцієнтів імпульсної характеристики, функціональної моделі FIR- фільтра</i>).</p> <p>Лекція 15. 2 год.</p>			<p>фільтра з 4-ма відводами мовою VHDL.</p> <p>(ЛР. 15 – 2 год)</p>	семестру
16	<p>Реалізація компонент нейронних мереж на ПЛІС FPGA (<i>Проектування функції активації нейрона, обчислювача скалярного добутку</i>).</p> <p>Лекція 16. 2 год.</p>	Лекція	4,7,8,10,11	<p>Реалізація і дослідження функцій активації нейрона та пристрою скалярного добутку.</p> <p>(ЛР. 16 – 2 год)</p>	16 тиж. семестру