

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Львівський національний університет імені Івана Франка
Факультет електроніки та комп'ютерних технологій
Кафедра радіоелектронних і комп'ютерних систем

Затверджено

На засіданні
кафедри радіоелектронних і
комп'ютерних систем
факультету електроніки та комп'ютерних
технологій
Львівського національного університету
імені Івана Франка
(протокол № 1/4 від 28.08, 2023 р.)

Завідувач кафедри:


_____ Ігор ОЛЕНИЧ

Силабус з навчальної дисципліни
“FPGA/CPLD Комп'ютинг”,
що викладається в межах ОПП
“ Високопродуктивний комп'ютинг ”
першого (бакалаврського) рівня вищої освіти для здобувачів з
спеціальності 121 – Інженерія програмного забезпечення

Львів 2023 р.

Назва дисципліни	FPGA/CPLD комп'ютинг
Адреса викладання дисципліни	Корпус факультету електроніки та комп'ютерних технологій, Львівський національний університет імені Івана Франка, вул. Драгоманова 50, м. Львів, 79005, вул. Ген. Тарнавського 107, м. Львів, 79011
Факультет та кафедра, за якою закріплена дисципліна	Факультет електроніки та комп'ютерних технологій, кафедра радіоелектронних і комп'ютерних систем
Галузь знань, шифр та назва спеціальності	12 Інформаційні технології, 121 Інженерія програмного забезпечення
Викладачі дисципліни	Клим Галина Іванівна, докт. техн. наук, професорка Бойко Ярослав Васильович, канд. фіз.-мат. наук, доцент
Контактна інформація викладачів	halyna.klym@lnu.edu.ua https://electronics.lnu.edu.ua/employee/klym-halyna-ivanivna/yaroslav.boyko@lnu.edu.ua https://electronics.lnu.edu.ua/employee/bojko-ya-v/
Консультації з питань навчання по дисципліні відбуваються	Консультації в день проведення лекційних занять (за попередньою домовленістю). Також можливі онлайн-консультації через MS Teams. Для погодження часу онлайн-консультацій слід писати на електронну корпоративну пошту викладача.
Сторінка дисципліни	https://e-learning.lnu.edu.ua/course/view.php?id=6043
Інформація про дисципліну	Дисципліна «FPGA/CPLD комп'ютинг» є вибірковою дисципліною циклу професійної та практичної підготовки зі спеціальності 121 Інженерія програмного забезпечення для освітньої програми «Високопродуктивний комп'ютинг», яка викладається в 7 семестрі в обсязі 4 кредити (за Європейською Кредитно-Трансферною Системою ECTS).
Коротка анотація дисципліни	Навчальну дисципліну розроблено таким чином, щоб надати учасникам необхідні знання, для реалізації апаратних і програмних складових вбудованих систем. Тому у дисципліні значна увага приділена розгляду програмованих логічних інтегральних схем (ПЛІС), архітектурі сучасних ПЛІС FPGA, CPLD
Мета та цілі дисципліни	Мета викладання навчальної дисципліни «FPGA/CPLD комп'ютинг» – це набуття навичок щодо основних принципів створення складних цифрових пристроїв на ПЛІС Altera Cyclone V FPGA, з використанням автоматизованої системи розробки QUARTUS II і мови Verilog, а також реалізації розробленої системи і її тестування на відлагоджувальній платі Cyclone V Starter Kit.
Література для вивчення дисципліни	<ol style="list-style-type: none"> 1. Hajji B., Mellit A., Bouselham L. A Practical Guide for Simulation and FPGA Implementation of Digital Design. – Springer, 2022. –335 p. 2. Pinaki Mazumder, Idongesit E. Ebong. Lectures on Digital Design Principles. – River Publishers, 2023. –231 p. 3. Suman Lata Tripathi, Sobhit Saxena, Sanjeet Kumar Sinha, Dr. Govind Singh Patel. Digital VLSI Design and Simulation with Verilog. – Wiley, 2022. – 222 p. 4. Аврунін О.Г. Основи мови VHDL для проектування цифрових пристроїв на ПЛІС: навч. посібник / О.Г. Аврунін, Т.В. Носова, В.В. Семенець. – Харків: ХНУРЕ, 2018. – 196 с. 5. Vaibbhav Taraate. Logic Synthesis and SOC Prototyping: RTL Design using VHDL. — Springer. – 2020. – 251 p. 6. Лахно В.А. Технології проектування комп'ютерних систем (частина 1) / Б.С. Гусєв, В.В. Смолій, М.Д. Місюра, Д.Ю. Касаткін. - К.: НУБіП України, 2019. – 205 с. 7. Cyclone III Device Handbook. Volume 1. [Електронний ресурс] Режим

	<p>доступу: https://www.farnell.com/datasheets/1536834.pdf</p> <p>8. DE0 User Manual. [Електронний ресурс] Режим доступу: https://www.terasic.com.tw/cgi-bin/page/archive_download.pl?Language=China&No=364&FID=0c266381d75ef92a8291c5bbdd5b07eb</p> <p>9. Suresh N. Embedded systems design. – 141 p. [Електронний ресурс]. – Режим доступу: https://mrcet.com/downloads/digital_notes/ECE/IV%20Year/EMBEDDED%20SYSTEMS%20DESIGN.pdf</p> <p>10. PSoC Creator - Implementing Programmable Logic Designs with Verilog [Електронний ресурс]. – Режим доступу: https://www.infineon.com/dgdl/Infineon-AN82250_PSoC_Creator_Implementing_Programmable_Logic_Designs_with_Verilog-ApplicationNotes-v11_00-EN.pdf?fileId=8ac78c8c7cdc391c017d072796704c18</p>
Обсяг курсу	Сумарно 120 годин. Із них 32 години лекцій, 32 години лабораторних робіт і 56 годин самостійної роботи.
Очікувані результати навчання	<p>Після завершення цього курсу студент буде:</p> <p><i>знати:</i></p> <ul style="list-style-type: none"> – основні типи програмованих логічних інтегральних схем і їх параметри; – основні принципи побудови цифрових пристроїв на ПЛІС; – архітектуру і схемотехніку ПЛІС; – інтегровані середовища розробки для ПЛІС різних фірм; – методику і основні етапи проектування цифрових пристроїв на ПЛІС; – структурні та алгоритмічні способи опису цифрових пристроїв , HDL мови опису цифрових пристроїв; – принципи моделювання цифрових пристроїв; – програмні засоби проектування та налагодження цифрових пристроїв на ПЛІС <p><i>вміти:</i></p> <ul style="list-style-type: none"> – обґрунтовувати технічні вимоги до цифрових пристроїв на базі ПЛІС за загальним технічним завданням; – розробляти комбінаційні схеми, послідовних схема з синхронізацією і реалізовувати на ПЛІС Altera Cyclone III FPGA найпростіші цифрові блоки (компаратори, суматори, регістри, лічильники, шифратори, дешифратори) на Verilog у середовищі QUARTUS II; – використовувати структурний і поведінковий способи опису розробляються модулів на Verilog; – створювати тестуючі модулі та моделювати роботу пристрою на Verilog; – проводити налагодження проекту на налагоджувальній платі Cyclone III Starter Kit; – використовувати засоби розробки і налагодження цифрових пристроїв на основі Quaruts II і налагоджувального модуля з використанням ПЛІС фірми ALTERA. – Реалізовувати програмовані логічні схеми CPLD за допомогою Verilog. <p>Після вивчення курсу здобувачі набудуть таких Загальних(ЗК)/Фахових(ФК) компетентностей та Програмних результатів навчання (ПРН):</p> <p>ЗК01. Здатність до абстрактного мислення, аналізу та синтезу.</p> <p>ЗК02. Здатність застосовувати знання у практичних ситуаціях.</p> <p>ЗК04. Здатність спілкуватися іноземною мовою як усно, так і письмово.</p> <p>ЗК05. Здатність вчитися і оволодівати сучасними знаннями.</p> <p>ЗК06. Здатність до пошуку, оброблення та аналізу інформації з різних</p>

джерел.

ЗК12. Здатність зберігати та примножувати моральні, культурні, наукові цінності і досягнення суспільства на основі розуміння історії та закономірностей розвитку предметної області, її місця у загальній системі знань про природу і суспільство та у розвитку суспільства, техніки і технологій, використовувати різні види та форми рухової активності для активного відпочинку та ведення здорового способу життя.

ФК14. Здатність брати участь у проектуванні програмного забезпечення, включаючи проведення моделювання (формальний опис) його структури, поведінки та процесів функціонування.

ФК15. Здатність розробляти архітектури, модулі та компоненти програмних систем.

ФК17. Здатність дотримуватися специфікацій, стандартів, правил і рекомендацій в професійній галузі при реалізації процесів життєвого циклу.

ФК25. Здатність обґрунтовано обирати та освоювати інструментарій з розробки та супроводження програмного забезпечення.

ФК26. Здатність до алгоритмічного та логічного мислення.

ФК27. Здатність розробляти високопродуктивні програмні комплекси для вирішення задач наук про дані, систем штучного інтелекту, вбудованих та інших інноваційних систем.

ФК28. Володіння методами розроблення і впровадження систем підвищеної продуктивності, серверних, мікросервісних, хмаркових, розподілених та інших новітніх технологій.

ФК29. Здатність здійснювати розробку програмних продуктів використовуючи різні методології і технології із забезпеченням їх інноваційності та високої продуктивності.

ПРН01. Аналізувати, цілеспрямовано шукати і вибирати необхідні для вирішення професійних завдань інформаційно-довідникові ресурси і знання з урахуванням сучасних досягнень науки і техніки.

ПРН04. Знати і застосовувати професійні стандарти і інші нормативно-правові документи в галузі інженерії програмного забезпечення.

ПРН05. Знати і застосовувати відповідні математичні поняття, методи доменного, системного і об'єктно-орієнтованого аналізу та математичного моделювання для розробки програмного забезпечення.

ПРН06. Вміння вибирати та використовувати відповідну задачі методологію створення програмного забезпечення.

ПРН07. Знати і застосовувати на практиці фундаментальні концепції, парадигми і основні принципи функціонування мовних, інструментальних і обчислювальних засобів інженерії програмного забезпечення.

ПРН13. Знати і застосовувати методи розробки алгоритмів, конструювання програмного забезпечення та структур даних і знань.

ПРН18. Знати та вміти застосовувати інформаційні технології обробки, зберігання та передачі даних.

ПРН21. Знати, аналізувати, вибирати, кваліфіковано застосовувати засоби забезпечення інформаційної безпеки (в тому числі кібербезпеки) і цілісності даних відповідно до розв'язуваних прикладних завдань та створюваних програмних систем.

ПРН26. Знати засоби інтеграції, розгортання та підтримки спеціалізованих програмних компонентів, розроблених на основі інноваційних технологій для вирішення завдань високопродуктивних технологій.

	ПРН27. Знати основи інженерії й аналізу даних та вміти вибрати оптимальні алгоритми і технології для розробки інноваційних рішень при розв'язанні задач наук про дані, вбудованих систем та систем штучного інтелекту.
Ключові слова	Вбудовані системи, середовище розробки Quartus II, середовище розробки PSoC Creator, ПЛІС FPGA, CPLD, PSoC.
Формат курсу	Очний
	Проведення лекцій, лабораторних робіт та консультації для поглибленого розуміння тем
Теми	Див. СХЕМА КУРСУ
Підсумковий контроль, форма	Залік в кінці семестру
Пререквізити	Для вивчення курсу студенти потребують базових знань з дисциплін «Математичний аналіз», «Електротехніка та електроніка», «Алгоритмізація та програмування», «Об'єктно-орієнтоване програмування», «Архітектура обчислювальних систем та комп'ютерна схемотехніка», «Цифрова обробка сигналів».
Навчальні методи та техніки, які будуть використовуватися під час викладання курсу	Лекції, презентації, лабораторні роботи, індивідуальні практичні завдання, обговорення, дискусії.
Необхідне обладнання	Для проведення лекційних занять: комп'ютер (мінімальні характеристики: процесор з архітектурою x86_64, 8ГБ оперативної пам'яті, 512ГБ HDD/SSD), доступ до мережі Internet, засоби мультимедіа (в т.ч. проектор). Для проведення лабораторних занять: Комп'ютер (мінімальні характеристики: процесор з архітектурою x86_64, 8ГБ оперативної пам'яті, 512ГБ HDD/SSD). Необхідне програмне забезпечення включає в себе ОС Linux та ОС Windows evaluation edition, автоматизовані системи розробки QUARTUS II, Infineon PsoC Creator 4.2.
Критерії оцінювання (окремо для кожного виду навчальної діяльності)	Оцінювання проводиться за 100-бальною шкалою. Бали нараховуються за наступним співвідношенням: <ul style="list-style-type: none"> • Змістовий модуль 1: до 10 балів за виконання модульного завдання – написання есе за обраною тематикою з переліку. • Змістовий модуль 2: до 10 балів за виконання модульного завдання – написання есе за обраною тематикою з переліку. • Виконання лабораторних робіт: до 80 балів. Підсумкова максимальна кількість балів 100. Звітність за курс – залік в кінці семестру. Змістовий модуль – самостійна робота студента оформлена у вигляді есе – одного із видів робіт, реалізованих у системі електронного навчання Moodle. Есе включає в себе детальний розгляд обраної індивідуальної теми, приведення прикладів та лістингів коду програм, огляду технологій, літератури. Код програм повинен бути обов'язково прокоментований та пояснений, необхідно також продемонструвати його роботу у разі, якщо в якості прикладу наводяться не окремі елементи технології, а суцільна програма. Есе також повинно містити посилання на літературні джерела/інтернет ресурси, що були використані під час його написання. Ілюстративні матеріали можна завантажувати у Moodle у вигляді файлів різних форматів. Теми для змістових модулів див. у розділі Питання до модульного контролю . Академічна доброчесність: Очікується, що роботи студентів будуть

оригінальними дослідженнями чи міркуваннями. Списування та втручання в роботу інших студентів становлять, але не обмежують, приклади можливої академічної недоброчесності. Виявлення ознак академічної недоброчесності в написанні завдань є підставою для її незарахування викладачем, незалежно від масштабів плагіату чи обману. Жодні форми порушення академічної доброчесності не толеруються.

Відвідання занять є важливою складовою навчання. Очікується, що всі студенти відвідають усі лекції та лабораторні заняття курсу. Студенти повинні інформувати викладача про неможливість відвідати заняття. У будь-якому випадку студенти зобов'язані дотримуватися термінів визначених для виконання всіх видів робіт, передбачених курсом.

Література. Уся література, яку студенти не зможуть знайти самостійно, буде надана викладачем виключно в освітніх цілях без права її передачі третім особам. Студенти заохочуються до використання також й іншої літератури та джерел, яких немає серед рекомендованих.

Політика виставлення балів. Враховуються бали, набрані при поточному контролі та бали за виконання лабораторних робіт. При цьому обов'язково враховуються присутність на заняттях та активність студента під час практичного заняття; недопустимість пропусків та запізнь на заняття; користування мобільним телефоном, планшетом чи іншими мобільними пристроями під час заняття в цілях не пов'язаних з навчанням; списування та плагіат; несвоєчасне виконання поставленого завдання і т. ін.

Оцінювання лабораторних робіт (8 лабораторних робіт, максимальна кількість балів: 80) відбувається шляхом оцінки роботи студента під час проведення лабораторної роботи в аудиторії та захисту звіту по виконаній лабораторній роботі (0-10 балів за одну роботу).

Бали оцінювання лабораторних робіт нараховуються за таким співвідношенням:

9-10 — робота виконана повністю та правильно, відповідає усім вимогам завдання. Код написаний грамотно, дотримано всіх правил стилю та форматування. Робота містить пояснювальні коментарі, які чітко описують принципи її роботи. Студент самостійно виконав роботу, без сторонньої допомоги.

7-8 — робота виконана повністю, але містить незначні помилки, які не впливають на її функціонування. Код написаний з деякими недоліками, але в цілому відповідає вимогам стилю та форматування. Робота містить пояснювальні коментарі, які достатньо описують принципи її роботи. Студент виконав роботу самостійно, але потребував деякої допомоги викладача.

5-6 — робота виконана частково, але її функціональність достатня для виконання поставлених завдань. Код написаний з істотними недоліками, які впливають на читабельність та зрозумілість роботи. Робота містить пояснювальні коментарі, які недостатньо описують принципи її роботи. Студент виконав роботу самостійно, але потребував значної допомоги викладача.

4 — робота виконана частково, не виконує поставлених завдань. Код написаний з грубими помилками, які ускладнюють його читабельність та розуміння. Робота не містить пояснювальних коментарів. Студент

виконав роботу з допомогою викладача.

3 — робота виконана частково. Код не написаний або написаний з численними грубими помилками, які унеможливають його виконання. Робота не містить пояснювальних коментарів. Студент не може повністю пояснити результати.

2 — робота виконана з використанням готових рішень, не містить власного програмного коду. Код не написаний або написаний з численними грубими помилками, які унеможливають виконання. Робота не містить пояснювальних коментарів. Студент не зміг пояснити, як працює його програма.

1 — робота не виконана, або виконана з використанням нечесних методів.

0 — відсутній звіт про виконання роботи.

Оцінювання змістових модулів (2 змістових модулів, 10 балів за кожний) — за результатами написаних студентом есе.

Бали оцінювання змістових модулів нараховуються за наступним співвідношенням:

9-10 — есе відповідає усім вимогам завдання, містить чітку та аргументовану відповідь на поставлене питання. В есе чітко викладені основні ідеї та думки, є логічні зв'язки між ними. Есе написано грамотно, дотримано всіх правил стилю та форматування. Есе містить оригінальні думки та ідеї, які розкривають тему есе з нового ракурсу.

7-8 — есе відповідає основним вимогам завдання, але містить деякі недоліки. В есе є чітка відповідь на поставлене питання, але вона не завжди аргументована. В есе є логічні зв'язки між ідеями, але вони не завжди чітко виражені. Есе написано грамотно, але має деякі недоліки у стилі та форматуванні. Есе містить оригінальні думки та ідеї, але вони не завжди розкриті повною мірою.

5-6 — есе відповідає загальним вимогам завдання, але має значні недоліки. В есе є відповідь на поставлене питання, але вона не завжди є аргументованою. В есе є логічні зв'язки між ідеями, але вони не завжди зрозумілі. Есе написано з деякими помилками у стилі. Есе містить оригінальні думки та ідеї, але вони не завжди є чіткими та зрозумілими.

3-4 — есе не відповідає основним вимогам завдання, має суттєві недоліки. В есе не завжди є чітка відповідь на поставлене питання, або відповідь є не аргументованою. В есе логічні зв'язки між ідеями не завжди зрозумілі або відсутні. Есе написано з численними помилками у стилі. Есе не містить оригінальних думок та ідей.

1-2 — есе не відповідає жодним вимогам завдання, має критичні недоліки. В есе немає чіткої відповіді на поставлене питання, або відповідь є не аргументованою. В есе логічні зв'язки між ідеями відсутні або є суперечливими. Есе написано з грубими помилками у стилі та формулюваннях. Есе не містить жодної оригінальної думки чи ідеї.

Критерії оцінювання результатів неформальної освіти:

Нарахування балів відбувається за написання студентом тез доповідей на конференціях, наукових статей, участь у діяльності наукових гуртків, участь у наукових семінарах та круглих столах, конкурсах, участь у заходах неформальної освіти за отримання сертифікатів про проходження навчання на різних освітніх платформах (Coursera, Prometheus тощо), курсах на провідних ІТ компаніях за тематикою навчальної дисципліни. Кількість балів визначається відсотком покриття результатів відповідної активності до вимог результатів

	навчання з навчальної дисципліни.
Питання до контрольних робіт	Перелік питань і завдань для проведення підсумкової оцінки знань усіх тем курсу до контрольних робіт розміщено на веб-сторінці.
Опитування	Анкету-оцінку з метою оцінювання якості курсу буде надано по завершенню курсу.

СХЕМА КУРСУ

Тиж.	Тема, план, короткі тези	Форма діяльності (заняття)	Література. Ресурси в Інтернеті	Завдання, год.	Термін виконання
1,2	Вступ у вбудовані системи (визначення вбудованих систем та їх характеристики, базова структура вбудованої системи, типи вбудованих систем, застосування вбудованих систем). Лекція 1. 2 год.	Лекція	3,6,14	4	кінець поточного тижня
1,2	Ознайомлення із середовищами розробки Quartus II та Infineon PsoC Creator 4.2	Лабораторна робота	Сайт курсу	4	кінець поточного тижня
3,4	Елементна база сучасних ПЛІС (класифікація ПЛІС, програмовані логічні матриці (ПЛМ), програмована матрична логіка (ПМЛ), базові матричні кристали (БМК), класифікація БМК).	Лекція	3,6,7,8	4	кінець поточного тижня
3,4	Вивчення лабораторного стенду DE0 для програмування ПЛІС FPGA сімейства Cyclone III (архітектура лабораторного стенду (ЛС) DE0; програмування ПЛІС FPGA сімейства Cyclone III на ЛС DE0; індикатори, кнопки, перемикачі, пам'ять ЛС DE0; реалізація двійкових суматорів (RCA, CLA) на ПЛІС FPGA).	Лабораторна робота	Сайт курсу	4	кінець поточного тижня
5,6	Архітектура ПЛІС FPGA (структура кристалу FPGA; типи програмованих ключів; таблиці пошуку LUT; реалізація з'єднань логічних елементів в FPGA; користувацькі розняття ПЛІС FPGA). Лекція 3. 2 год.	Лекція	3,6,7,8	4	кінець поточного тижня
5,6	Проектування лічильників і регістрів на основі ПЛІС FPGA в середовищі розробки Quartus II (сумуючі, віднімаючі лічильники з послідовним, наскрізним і паралельним перенесенням; реверсивні і кільцеві лічильники; регістри перетворення послідовного коду)	Лабораторна робота	Сайт курсу	4	кінець поточного тижня

	<i>в паралельний, паралельного коду в послідовний).</i>				
7,8	Архітектура ПЛІС FPGA сімейства Cyclone III фірми Altera (основні параметри ПЛІС FPGA сімейства Cyclone III; логічні елементи і блоки масивів логіки; блоки пам'яті кристалу; вбудовані блоки множення; глобальні тактові мережі; мікропроцесорне ядро в ПЛІС). Лекція 4. 2 год.	Лекція	3,6,7,8	4	кінець поточного тижня
7,8	Проектування і реалізація матричних перемножувачів на основі ПЛІС FPGA в середовищі Quartus II (перемножувально-сумуючі блоки; вбудовані перемножувачі ПЛІС FPGA сімейства Cyclone III).	Лабораторна робота	Сайт курсу	4	кінець поточного тижня
9,10	Основні концепції мови VHDL. Типи даних, вирази і оператори в VHDL (алфавіт мови VHDL; прості і складні типи даних; масиви і записи; константи, сигнали і змінні; структура проекту мовою VHDL; архітектура проекту; послідовні оператори; паралельні оператори).	Лекція	3,4,5,7,8	4	кінець поточного тижня
9,10	Проектування цифрових пристроїв комбінаційного типу мовою VHDL в середовищі QUARTUS II (введення і редагування текстового опису проекту; вікно текстового редактора; приклад проектування АПП мовою VHDL).	Лабораторна робота	Сайт курсу	4	кінець поточного тижня
11,12	Представлення комбінаційної логіки мовою VHDL (реалізація мовою VHDL логічних функцій, мультиплексорів, дешифраторів, цифрових компараторів, суматорів).	Лекція	3,4,5,7,8	4	кінець поточного тижня
11,12	Проектування цифрових пристроїв послідовнісного типу мовою VHDL в середовищі QUARTUS II (реалізація мовою VHDL тригерів, регістрів, лічильників, цифрових автоматів).	Лабораторна робота	Сайт курсу	4	
13,14	Пакети, процедури та функції в мові VHDL (пакети, процедури, функції; приклади їх використання);	Лекція	3,4,5,7,8	4	кінець поточного тижня

	проектування та <i>реалізація</i> мовою <i>VHDL</i> тригерів, регістрів, лічильників, цифрових автоматів).				
13,14	Дослідження запам'ятовуючих пристроїв ПЛІС сімейства Cyclone III в середовищі Quartus II (блоки пам'яті в ПЛІС FPGA сімейства Cyclone III; реалізація ПЗП, ОЗП на основі мегафункцій <i>lpm_rom</i> , <i>lpm_ram_dp</i> , <i>lpm_ram_dq</i>).	Лабораторна робота	Сайт курсу	4	кінець поточного тижня
15,16	Складні програмовані логічні пристрої на базі Infineon PSoC 4 (Універсальні цифрові блоки PSoC (UDB) та їх програмовані логічні пристрої (PLD)	Лекція	10, сайт курсу	4	кінець поточного тижня
15,16	Реалізація програмованих логічних схем CPLD за допомогою Verilog (Створення Verilog-компонентів Counter4Bit і SeqDetector)	Лабораторна робота	Сайт курсу	4	кінець поточного тижня